

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Harutaka GOTO

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: DATA PROCESSING APPARATUS AND DATA PROCESSING METHOD

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

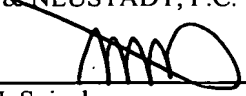
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2000-089508	March 28, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

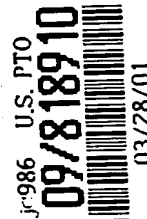
Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak  
Registration No. 24,913



22850



日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月28日

出 願 番 号

Application Number:

特願2000-089508

出 願 人

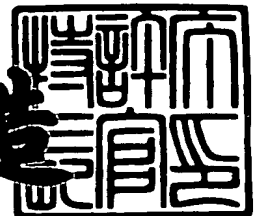
Applicant (s):

株式会社東芝

2001年 2月23日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3009226

【書類名】 特許願

【整理番号】 12436401

【提出日】 平成12年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/30

【発明の名称】 データ処理装置

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 後 藤 治 隆

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町72番地

【氏名又は名称】 株式会社 東 芝

【代理人】

【識別番号】 100064285

【弁理士】

【氏名又は名称】 佐 藤 一 雄

【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橘 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】

複数のステージに分けてパイプライン処理を行うデータ処理装置において、  
各ステージに入力される制御信号に基づいて、各ステージでの処理を行う第 1  
のパイプライン処理部と、

各ステージに入力される前記制御信号を所定のクロックでラッチする第 1 のラ  
ッチ手段と、

前記第 1 のパイプライン処理とは別個に、前記第 1 のラッチ手段でラッチした  
制御信号に基づいて各ステージでの処理を行う第 2 のパイプライン処理部と、を  
備えることを特徴とするデータ処理装置。

【請求項 2】

前記第 1 のパイプライン処理部における、少なくとも一部のステージでの処理  
結果を前記所定のクロックでラッチする第 2 のラッチ手段を備え、

前記第 2 のパイプライン処理部は、前記第 2 のラッチ手段でラッチしたデータ  
に対応するステージの処理を行う際に、前記第 2 のラッチ手段でラッチしたデー  
タを利用して処理を行うことを特徴とする請求項 1 に記載のデータ処理装置。

【請求項 3】

前記第 2 のパイプライン処理部における、少なくとも一部のステージでの処理  
結果を、前記所定のクロックでラッチする第 3 のラッチ手段と、

前記第 3 のラッチ手段でラッチする前のデータと、前記第 3 のラッチ手段でラ  
ッチしたデータとのいずれか一方を選択する選択手段と、を備え、

前記選択手段は、前記第 2 のパイプライン処理部での処理結果を前記第 1 のパ  
イプライン処理部に伝送する際、前記第 1 のパイプライン処理部がストールして  
いる場合には、ストール終了後に前記第 3 のラッチ手段のラッチ出力を選択して  
前記第 1 のパイプライン処理部に伝送し、前記第 1 のパイプライン処理部がスト  
ールしていない場合には、前記第 2 のパイプライン処理部での処理結果を選択し  
て前記第 1 のパイプライン処理部に伝送することを特徴とする請求項 1 または 2

に記載のデータ処理装置。

【請求項 4】

前記ラッチ手段は、各ステージを区切るクロックで前記制御信号をラッチすることを特徴とする請求項 1～3 のいずれかに記載のデータ処理装置。

【請求項 5】

前記第 2 のパイプライン処理部は、前記第 1 のパイプライン処理部のステージを区切るクロックの 1 周期分以上遅れてパイプライン処理を行うことを特徴とする請求項 1～4 のいずれかに記載のデータ処理装置。

【請求項 6】

前記第 1 および第 2 のパイプライン処理部の一方は整数演算ユニットを含み、他方は整数ユニット以外の演算ユニットを含み、

前記第 1 および第 2 のパイプライン処理部の一方は、ロード／ストア演算ユニットおよび分岐演算ユニットの少なくとも一方を含むか、あるいは、ロード／ストア演算ユニットおよび分岐演算ユニットのいずれも含まないことを特徴とする請求項 1～5 のいずれかに記載のデータ処理装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、複数のステージに分けてパイプライン処理を行うデータ処理装置に関し、例えば、プロセッサの内部に実装されるもの等を対象とする。

【 0 0 0 2】

【従来の技術】

マルチメディアや通信技術の発達により、プロセッサの処理性能の向上が強く望まれている。プロセッサの処理性能を向上させる手法として、動作クロック周波数の高速化と演算処理の並列化が挙げられる。

【 0 0 0 3】

しかしながら、プロセッサ内部に複数の演算器を設けて演算処理を並列実行させるようにすると、回路規模が大きくなり、配線遅延によりタイミング的に処理が間に合わなくなるおそれがある。

## 【 0 0 0 4 】

一方、最近のプロセッサは、命令実行の高速化のため、各命令を複数のステージに分けてパイプライン処理することが多い。図 1 2 はプロセッサ内部のパイプライン処理部の概略構成を示すブロック図、図 1 3 は処理の流れを示す図である。

## 【 0 0 0 5 】

図 1 2 に示すように、各命令は、5つのステージA～Eに分けて順に実行される。各ステージには、図 1 2 に示すように、入力データを同期化するフリップフロップ 1 1 と、ロジック回路 1 2 と、マルチプレクサ 1 3 とが設けられ、マルチプレクサ 1 3 の出力は次段のステージのフリップフロップ 1 1 に入力される。

## 【 0 0 0 6 】

図 1 3 のように、各命令をパイプライン処理することでプロセッサの処理性能の向上が図れるが、さらに処理性能を向上させるために、プロセッサ内部に複数のパイプライン処理部を設ける場合もある。

## 【 0 0 0 7 】

図 1 4 はプロセッサ内部に複数のパイプライン処理部を設けた例を示すブロック図である。図 1 4 の命令キャッシュ (IC) 2 1 から読み出された命令は、命令レジスタ (IR) 2 2 を経て、レジスタファイル (RF) 2 3 にいったん格納された後、6つのパイプライン処理部 (ALU) 2 4 のうち、空いているパイプライン処理部に供給されて命令が実行され、実行結果がレジスタファイル (RF) 2 5 に書き戻される。

## 【 0 0 0 8 】

図 1 5 は図 1 4 のパイプライン処理部 2 4 の入力付近の詳細構成を示すブロック図である。図示のように、レジスタファイル 2 3 とパイプライン処理部 2 4 の間には、マルチプレクサ 2 6 と、フリップフロップ 2 7 とが設けられる。各パイプライン処理部 2 3 は並列的に処理を行うため、各マルチプレクサ 2 6 には、共通の制御線から制御信号Controlが供給され、この制御信号Controlに基づいて各パイプライン処理部 2 4 は演算処理を行う。

## 【 0 0 0 9 】



【発明が解決しようとする課題】

しかしながら、1本の制御線で複数のパイプライン処理部を制御すると、パイプライン処理部の数が多いほど、また制御線の配線長が長いほど、制御信号のファンアウト(Fanout)が大きくなる。最近のプロセッサは、動作クロック周波数が非常に高いため、制御信号の遅延により、各ステージでの処理が間に合わなくなるおそれがある。

【0 0 1 0】

制御信号のファンアウトを小さくするには、制御線の配線長を短くするのが望ましいが、プロセッサの処理性能を高めるにはパイプライン処理部の数を増やさなければならないため、必然的に制御線の配線長は長くなってしまう。

【0 0 1 1】

制御信号のファンアウトを小さくする他の手法として、制御信号をツリー上にバッファリングして各パイプライン処理部に供給したり、あるいは、制御信号を予め複数生成しておく等が考えられる。

【0 0 1 2】

さらに、近年、プロセッサやASICの開発を行う場合に、予め用意された種々の機能ブロックを任意に組み合わせてLSIの設計を行う手法が一般化してきた。このような設計手法を採用する場合、どのような機能ブロックが組み合わされるのか一意に特定できないため、予め余裕をもって各信号のファンアウトを設定するのが望ましい。しかしながら、従来は、タイミング的にクリティカルな信号のファンアウトを誤動作しないような値に設定するのが困難であった。

【0 0 1 3】

本発明は、このような点に鑑みてなされたものであり、その目的は、パイプラインを制御する制御信号のファンアウトを低減することができるデータ処理装置を提供することにある。

【0 0 1 4】

【課題を解決するための手段】

上述した課題を解決するために、請求項1の発明は、複数のステージに分けてパイプライン処理を行うデータ処理装置において、各ステージに入力される制御

信号に基づいて、各ステージでの処理を行う第1のパイプライン処理部と、各ステージに入力される前記制御信号を所定のクロックでラッチする第1のラッチ手段と、前記第1のパイプライン処理とは別個に、前記第1のラッチ手段でラッチした制御信号に基づいて各ステージでの処理を行う第2のパイプライン処理部と、を備える。

【0015】

請求項1の発明では、制御信号を第1および第2のパイプライン処理部に供給する際、第2のパイプライン処理部には制御信号を第1のラッチ手段でラッチした信号を供給するため、制御信号のファンアウトを小さくすることができる。

【0016】

請求項2の発明では、第1のパイプライン処理部の各ステージでの処理結果を第2のパイプライン処理部に伝送する場合には、この処理結果を第2のラッチ手段でラッチしてから第2のパイプライン処理部に伝送するため、第1および第2のパイプライン処理部の処理を並列的に実行することができる。

【0017】

請求項3の発明では、第2のパイプライン処理部の各ステージでの処理結果を第1のパイプライン処理部に伝送する場合には、この処理結果を第3のラッチ手段でラッチしておくため、第1のパイプライン処理部がストールしていても、ストール終了後に所望のデータを伝送できる。これにより、ストールの有無にかかわらず、第2のパイプライン処理部から第1のパイプライン処理部にデータを電送できる。

【0018】

請求項4の発明では、各ステージを区切るクロックで制御信号をラッチするため、各パイプライン処理部のステージでの処理に合わせて各ステージに制御信号を入力できる。

【0019】

請求項5の発明では、第2のパイプライン処理部の処理と、第1のパイプライン処理部の処理とを時間的にずらして、かつ同期化させて行うことができる。

【0020】

## 【発明の実施の形態】

以下、本発明に係るデータ処理装置について、図面を参照しながら具体的に説明する。以下では、プロセッサ内部に実装されるパイプライン処理部を例にとって説明する。

## 【0021】

図1は本発明に係るデータ処理装置の一実施形態のブロック図である。図1のデータ処理装置は、5つのステージA～Eに分けて処理を実行する第1のパイプライン処理部1と、第1のパイプライン処理部1よりも1ステージ分遅れて処理を実行する第2のパイプライン処理部2と、各ステージに入力される制御信号をラッチする複数のフリップフロップ（第1のラッチ手段）3とを備えている。

## 【0022】

図1では、各ステージにそれぞれ別個の制御信号Control-A, Control-B, Control-C, Control-D, Control-Eが供給される例を示しているが、複数のステージに共通の制御信号を供給してもよい。

## 【0023】

第1および第2のパイプライン処理部1, 2は、同様に構成されており、各ステージごとに、フリップフロップ11と、ロジック回路12と、マルチプレクサ13とを有する。

## 【0024】

フリップフロップ11は、各ステージを区切るクロックCLKにより、前段の処理結果をラッチする。なお、図1ではフリップフロップ11を一つだけ図示しているが、実際にはデータのビット数分のフリップフロップ11が設けられている。

## 【0025】

ロジック回路12は、各ステージに入力される制御信号に基づいて所定の論理演算を行う。なお、ロジック回路12は、制御信号を用いずに論理演算を行う場合もある。マルチプレクサ13は、各ステージに入力される制御信号に基づいて、ロジック回路12の出力か、あるいは次段のレジスタファイルの出力のいずれかを選択する。

## 【 0 0 2 6 】

図 1 のフリップフロップ 3 は、各ステージに入力される制御信号 Control-A～E を、各ステージを区切るクロック CLK でラッチする。これにより、第 2 のパイプライン処理部 2 でのステージの処理タイミングに合わせて各制御信号 Control-A～E を遅延させることができる。以下では、遅延させた制御信号を遅延制御信号と呼ぶ。遅延制御信号は、第 2 のパイプライン処理部 2 での処理に用いられる。

## 【 0 0 2 7 】

制御信号 Control-A～E をフリップフロップ 3 でラッチする理由は、制御信号 Control-A～E のファンアウトを減らすためである。図 1 の第 1 のパイプライン処理部 1 には、制御線からの制御信号 Control-A～E が直接供給されるのに対し、第 2 のパイプライン処理部 2 には、いったんフリップフロップ 3 でラッチした遅延制御信号が供給される。このため、第 2 のパイプライン処理部 2 に供給される遅延制御信号は、制御線上の制御信号 Control-A～E のファンアウトの影響を受けなくなる。

## 【 0 0 2 8 】

図 2 は第 1 および第 2 のパイプライン処理部 1, 2 の動作を説明する図であり、図 2 (a) はパイプライン処理がストールしていない場合の動作、図 2 (b) はストールした場合の動作を示している。

## 【 0 0 2 9 】

図 2 に示すように、第 1 のパイプライン処理部 1 は、第 2 のパイプライン処理部 2 よりもクロック CLK の 1 周期分だけ早く処理を行う。また、第 1 のパイプライン処理部 1 が何らかの理由でストールした場合には、図 2 (b) の期間 T 3, T 4 に示すように処理が中断され、それに応じて、第 2 のパイプライン処理部 2 も処理が中断される（期間 T 4, T 5）。

## 【 0 0 3 0 】

図 1 のデータ処理装置は、第 1 および第 2 のパイプライン処理部 1, 2 の間でデータの受け渡しを行うことを考慮に入れていないが、第 1 および第 2 のパイプライン処理部 1, 2 での処理結果を、それぞれ他方のパイプライン処理部に伝送できるようにしてもよい。

## 【 0 0 3 1 】

例えば、図 3 は第 1 のパイプライン処理部 1 での処理結果を第 2 のパイプライン処理部 2 に伝送できるようにしたデータ処理装置の一例を示すブロック図である。第 1 のパイプライン処理部 1 は第 2 のパイプライン処理部 2 よりもクロック CLK の 1 周期分早く処理を行うため、第 1 のパイプライン処理部 1 から第 2 のパイプライン処理部 2 にデータを伝送する場合には、伝送するデータを第 2 のパイプライン処理部 2 のタイミングに合わせる必要がある。

## 【 0 0 3 2 】

このため、図 3 では、第 1 のパイプライン処理部 1 のステージ C 内のロジック回路 1 2 の出力をラッチするフリップフロップ（第 2 のラッチ手段）1 4 を設けている。このフリップフロップ 1 4 は、ステージを区切るクロック CLK に同期してロジック回路 1 2 の出力をラッチし、ラッチしたデータを第 2 のパイプライン処理部 2 内のロジック回路 1 2 に供給する。第 2 のパイプライン処理部 2 は、第 1 のパイプライン処理部 1 よりも 1 クロック遅れて動作するため、第 1 のパイプライン処理部 1 のステージ C での処理結果を受け取って、ステージ C での処理を行うことができる。

## 【 0 0 3 3 】

なお、図 3 では、第 1 のパイプライン処理部 1 のステージ C の処理結果を第 2 のパイプライン処理部 2 に伝送する例を示したが、他のステージの処理結果を第 2 のパイプライン処理部 2 に伝送する場合には、伝送元のステージに図 3 と同様のフリップフロップ 1 4 を設ければよい。

## 【 0 0 3 4 】

一方、図 4 は第 2 のパイプライン処理部 2 での処理結果を第 1 のパイプライン処理部 1 に伝送できるようにしたデータ処理装置の一例を示すブロック図である。

## 【 0 0 3 5 】

第 2 のパイプライン処理部 2 は、第 1 のパイプライン処理部 1 よりも 1 クロック遅れて動作するため、第 2 のパイプライン処理部 2 のあるステージでの処理結果を第 1 のパイプライン処理部 1 に伝送する場合は、一つ先のステージに送るこ

となる。例えば図4は、第2のパイプライン処理部2のステージCでの処理結果を、第1のパイプライン処理部1のステージDに伝送する例を示している。

#### 【0036】

第2のパイプライン処理部2から第1のパイプライン処理部1にデータを伝送する際、場合によっては、第1のパイプライン処理部1がストールしていることも考えられる。この場合、第1のパイプライン処理部1が処理を再開するまで、伝送すべきデータを保持しておかなければならない。

#### 【0037】

そこで、図4では、第2のパイプライン処理部2から第1のパイプライン処理部1に伝送すべきデータをラッチするフリップフロップ（第3のラッチ手段）15と、このフリップフロップ15の出力と第2のパイプライン処理部2のステージCでの処理結果とのいずれかを選択するマルチプレクサ（選択手段）16とを有する。

#### 【0038】

マルチプレクサ16は、第2のパイプライン処理部2のステージCでの処理結果が得られた時点で第1のパイプライン処理部1がストールしていなければ、この処理結果を選択して第1のパイプライン処理部1のステージDに伝送する。また、第2のパイプライン処理部2のステージCでの処理結果が得られた時点で第1のパイプライン処理部1がストールしていれば、ストールが終了するまでステージCでの処理結果をフリップフロップ15でラッチする。

#### 【0039】

なお、図4では、第2のパイプライン処理部2のステージCでの処理結果をラッチするフリップフロップとマルチプレクサ16を設ける例を示したが、図4のフリップフロップとマルチプレクサ16を他のステージに設けてもよい。また、図3のフリップフロップ14と図4のフリップフロップ15およびマルチプレクサ16とを設けてもよい。

#### 【0040】

このように、本実施形態では、複数のパイプライン処理部で並列的に処理を行う場合に、一部のパイプライン処理部については、各ステージに入力される制御

信号Control-A～Eをいったんフリップフロップ3でラッチした遅延制御信号Control-A～Eに基づいて各ステージでの処理を行うため、制御信号Control-A～Eのファンアウトが小さくなり、制御信号Control-A～Eの信号遅延を低減することができる。また、制御信号Control-A～Eを伝送する制御線の配線長が長くても、途中にフリップフロップ3を設けてクロックに同期化させることができるため、従来よりも制御線の配線長を長くすることができる。

## 【 0 0 4 1 】

さらに、パイプライン処理部の数が多くても、その数に応じた数量のフリップフロップ3を設ければよい。パイプライン処理部の数に関係なく動作を安定化させることができる。

## 【 0 0 4 2 】

上述した実施形態では、データ処理装置内に2つのパイプライン処理部1, 2を設ける例を説明したが、パイプライン処理部の数やパイプラインの段数には特に制限はない。

## 【 0 0 4 3 】

また、図1では、ステージを区切るクロックCLKで制御信号Control-A～Eをラッチする例を示したが、クロックCLKとは別個のタイミングで制御信号Control-A～Eをラッチしてもよい。

## 【 0 0 4 4 】

図3では、左側のパイプライン処理部内のステージCの論理回路LOGIC-C1とマルチプレクサMUX-C1に入力される制御信号Control-Cをフリップフロップでラッチした遅延制御信号を、右側のパイプライン処理部内のステージCに供給する例を説明しているが、この制御信号Control-Cと遅延制御信号は、各パイプライン処理部の複数箇所で利用される場合がある。

## 【 0 0 4 5 】

図5は、バッファから出力される制御信号を第1のパイプライン処理部1で複数に分岐させ、そのうちの一つの分岐信号をフリップフロップでラッチして遅延制御信号を生成し、生成した遅延制御信号を第2のパイプライン処理部2でさらに複数に分岐させる例を示している。

## 【 0 0 4 6 】

このように、制御信号の分岐先が多い場合には、分岐する途中にバッファとフリップフロップを間に介挿させることにより、制御信号のファンアウトが増大するのを防止できる。また、第 1 および第 2 のパイプライン処理部 1, 2 がダイ上の互いに離れた位置に実装される場合でも、各パイプライン処理部の間にフリップフロップを設けて制御信号をラッチすることにより、クロックのエッジからのずれを低減できる。

## 【 0 0 4 7 】

一方、図 6 はプロセッサ内の構成を示す図であり、命令キャッシュ 3 1 から命令レジスタ 3 2 を経由したデータは、第 1 のパイプライン処理部 1 には直接供給され、第 2 のパイプライン処理部 2 にはいったんフリップフロップ 3 でラッチされた後に供給される例を示している。

## 【 0 0 4 8 】

第 1 のパイプライン処理部 1 は、第 2 のパイプライン処理部 2 よりも 1 ステージ分先に処理を実行する。したがって、第 1 のパイプライン処理部 1 から第 2 のパイプライン処理部 2 にデータを送る場合には、フリップフロップ 3 でいったんデータをラッチしてタイミング調整を行う。逆に、第 2 のパイプライン処理部 2 から第 1 のパイプライン処理部 1 にデータを送る場合には、フリップフロップは不要である。

## 【 0 0 4 9 】

図 6 の第 1 のパイプライン処理部 1 は、整数ユニット・パイプライン、ロード／ストアユニット・パイプライン、および分岐ユニット・パイプラインを有し、各パイプラインはデータキャッシュとの間でデータのやり取りを行う。また、第 2 のパイプライン処理部 2 は、浮動小数点ユニット・パイプラインとマルチメディアユニット・パイプラインとを有する。

## 【 0 0 5 0 】

なお、第 1 および第 2 のパイプライン処理部 1, 2 の内部に設けられるパイプラインの種類には特に制限はなく、図 6 に示したものに限定されない。

## 【 0 0 5 1 】



例えば、第2のパイプライン処理部2に整数ユニットパイプラインやロード／ストアユニットパイプラインを設けてもよく、あるいは、第1のパイプライン処理部1に浮動小数点パイプラインやマルチメディアユニット・パイプラインを設けてもよい。

#### 【0052】

一方、図7は複数データストリーム(SIMD)命令型のプロセッサの内部構成を示すブロック図である。図示のように、第1および第2のパイプライン処理部1, 2の内部にはそれぞれ複数の演算器(ALU)24が設けられている。命令キャッシュ31から命令レジスタ32を経由したデータは、第1のパイプライン処理部1にはそのまま供給され、第2のパイプライン処理部2にはいったんフリップフロップ3でラッチされた後に供給される。また、第1のパイプライン処理部1は、第2のパイプライン処理部2よりも1ステージ分先に処理を行うため、第1のパイプライン処理部1から第2のパイプライン処理部2にデータを送る際には、このデータをいったんフリップフロップ3でラッチする。逆に、第2のパイプライン処理部2から第1のパイプライン処理部1にデータを送る際には、フリップフロップは不要である。

#### 【0053】

ところで、図1等では、第2のパイプライン処理部2が第1のパイプライン処理部1よりも1ステージ(1クロック)分遅れて処理を行う例を説明したが、1ステージ分以外の遅れ量で第2のパイプライン処理部2が処理を行ってもよい。

#### 【0054】

例えば、図8は第2のパイプライン処理部2が第1のパイプライン処理部1よりも半クロック分遅れて処理を行う例を示している。図8は図1のフリップフロップ3の代わりにラッチ3aを備えており、各ラッチ3aは、ステージを区切るクロックCLKの立ち下がりエッジで制御信号Control-A～Cをラッチし、ラッチした遅延制御信号を第2のパイプライン処理部2に供給する。

#### 【0055】

図9はラッチ3aの詳細構成を示す図である。図示のように、ラッチ3aは、フリップフロップと異なり、端子Eがハイレベルであれば、入力端子Dに入力さ

れたデータを端子Qから出力し、端子Eがローレベルになると、その直前の入力端子Dの論理を保持する。

【 0 0 5 6 】

一方、図10は図3に対応するものであり、第1のパイプライン処理部1のステージCにおける論理回路LOGIC-C1の演算結果を、ラッチ3aにて、クロックCLKの立ち下がりエッジでラッチした結果を第2のパイプライン処理部2のステージCに供給する例を示している。

【 0 0 5 7 】

一方、図11は図4に対応するものであり、第2のパイプライン処理部2から第1のパイプライン処理部1にデータを送る例を示している。第2のパイプライン処理部2の内部には、縦続接続された二段のラッチ3aと、マルチプレクサ13とが設けられている。一段目のラッチ3aはクロックCLKがハイレベルのときにマルチプレクサ13の出力をラッチし、二段目のラッチ3aはクロックCLKがローレベルのときに一段目のラッチ3aの出力をラッチする。一段目のラッチ3aの出力が第1のパイプライン処理部1に送られる。

【 0 0 5 8 】

また、マルチプレクサ13は、クロックCLKの立ち下がりエッジでラッチ動作を行うラッチの出力に応じて、二段目のラッチの出力とステージBからのデータとのいずれかを選択する。

【 0 0 5 9 】

【発明の効果】

以上詳細に説明したように、本発明によれば、制御信号をすべてのパイプライン処理部に直接供給するのではなく、少なくとも一部のパイプライン処理部については、制御信号をいったん第1のラッチ手段でラッチしてから供給するため、制御信号のファンアウトを小さくすることができる。したがって、パイプライン処理部の数が多くても、制御信号の伝搬遅延を低減できる。また、制御信号を伝送する制御線の配線長が長くなっても、途中でクロックに同期化させることで、配線遅延の影響を受けなくなる。

【図面の簡単な説明】

【図 1】

本発明に係るデータ処理装置の一実施形態のブロック図。

【図 2】

(a), (b) は第 1 および第 2 のパイプライン処理部 1, 2 の動作を説明する図。

【図 3】

第 1 のパイプライン処理部 1 1 での処理結果を第 2 のパイプライン処理部 2 に伝送できるようにしたデータ処理装置の一例を示すブロック図。

【図 4】

第 2 のパイプライン処理部 2 2 での処理結果を第 1 のパイプライン処理部 1 に伝送できるようにしたデータ処理装置の一例を示すブロック図。

【図 5】

制御信号を第 1 および第 2 のパイプライン処理部内で複数に分岐する例を示す図。

【図 6】

プロセッサ内の構成を示す図。

【図 7】

複数データストリーム (SIMD) 命令型のプロセッサの内部構成を示すブロック図。

【図 8】

第 2 のパイプライン処理部が第 1 のパイプライン処理部よりも半クロック分遅れて処理を行う例を示す図。

【図 9】

ラッチの詳細構成を示す図。

【図 10】

図 3 に対応する図で、第 2 のパイプライン処理部が第 1 のパイプライン処理部より半クロック遅れて処理を行う図。

【図 11】

図 4 に対応する図で、第 2 のパイプライン処理部が第 1 のパイプライン処理部

より半クロック遅れて処理を行う図。

【図 1 2】

プロセッサ内部のパイプライン処理部の概略構成を示すブロック図。

【図 1 3】

図 1 2 の処理の流れを示す図。

【図 1 4】

プロセッサ内部に複数のパイプライン処理部を設けた例を示すブロック図。

【図 1 5】

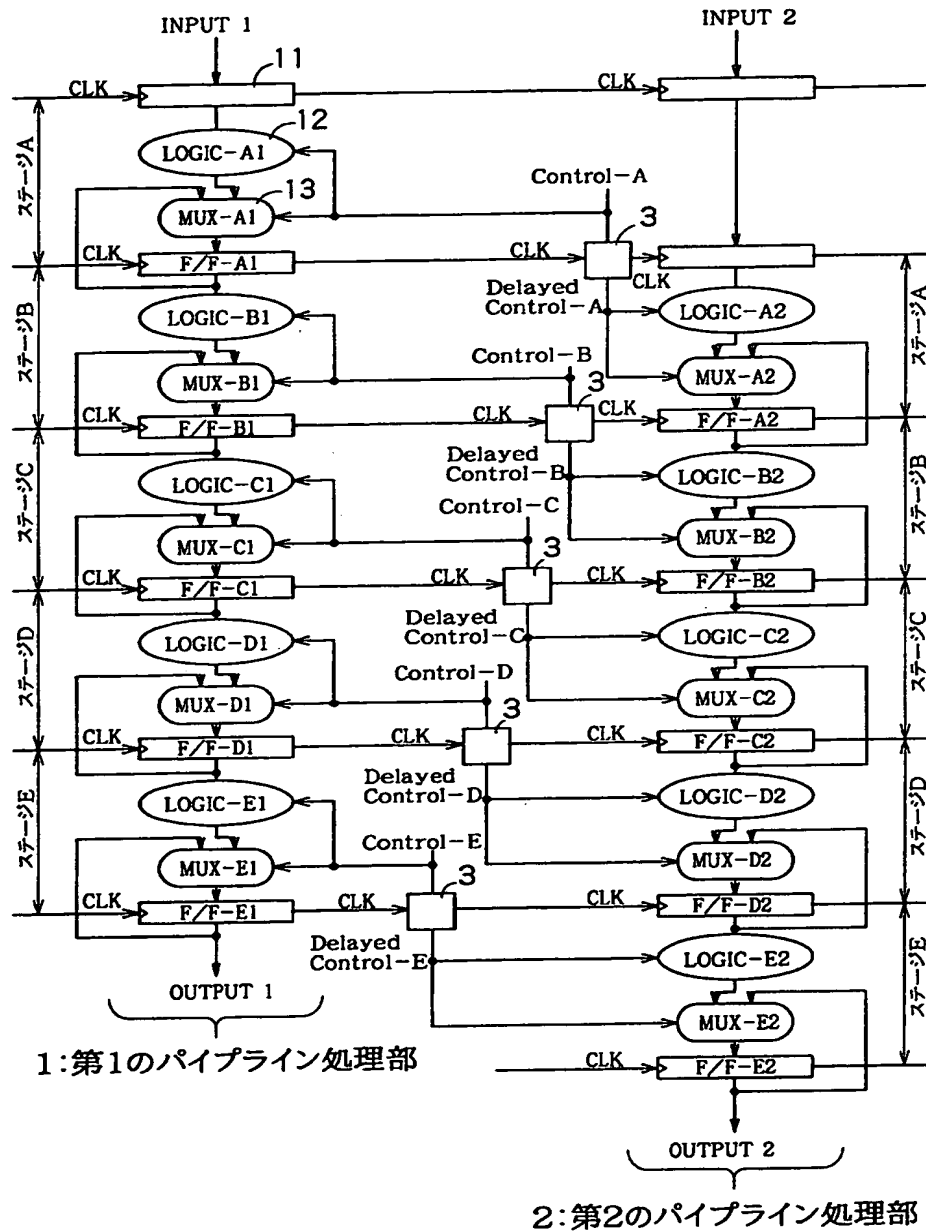
図 1 4 のパイプライン処理部の入力付近の詳細構成を示すブロック図。

【符号の説明】

- 1 第 1 のパイプライン処理部 1
- 2 第 2 のパイプライン処理部 2
- 3, 1 1, 1 4, 1 5, 2 6 フリップフロップ
- 1 2 ロジック回路
- 1 3, 1 6, 2 5 マルチプレクサ
- 2 1 命令キャッシュ 3 1
- 2 2 命令レジスタ 3 2
- 2 3 パイプライン処理部
- 2 4 レジスタファイル

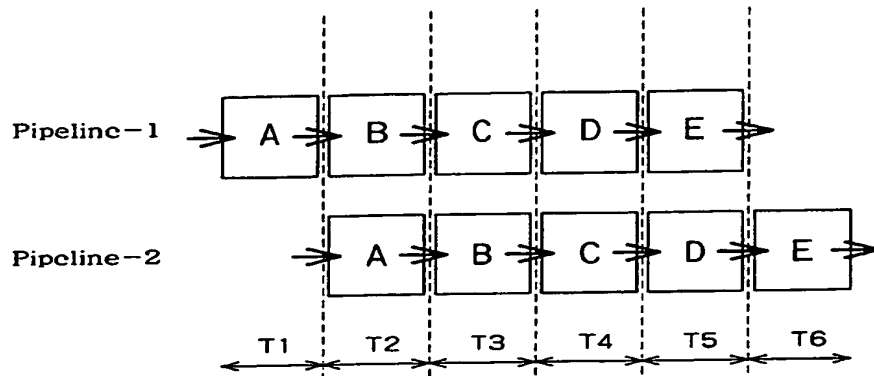
【書類名】 図面

【図 1】

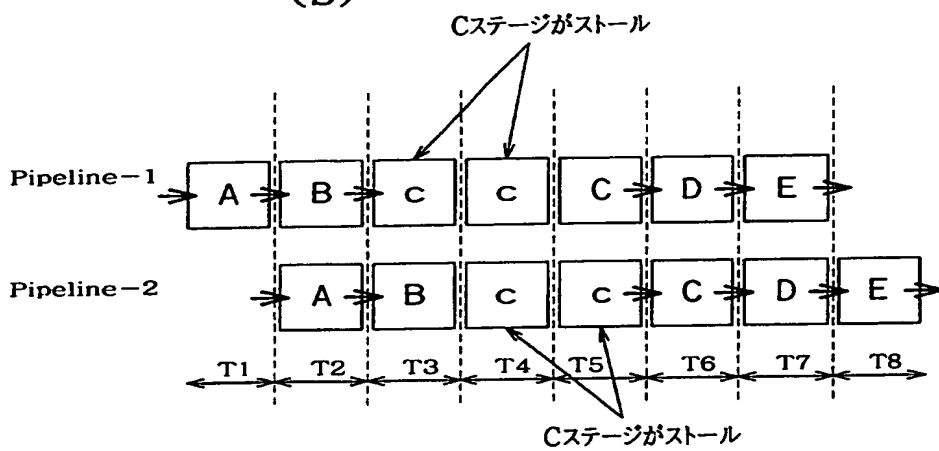


【図2】

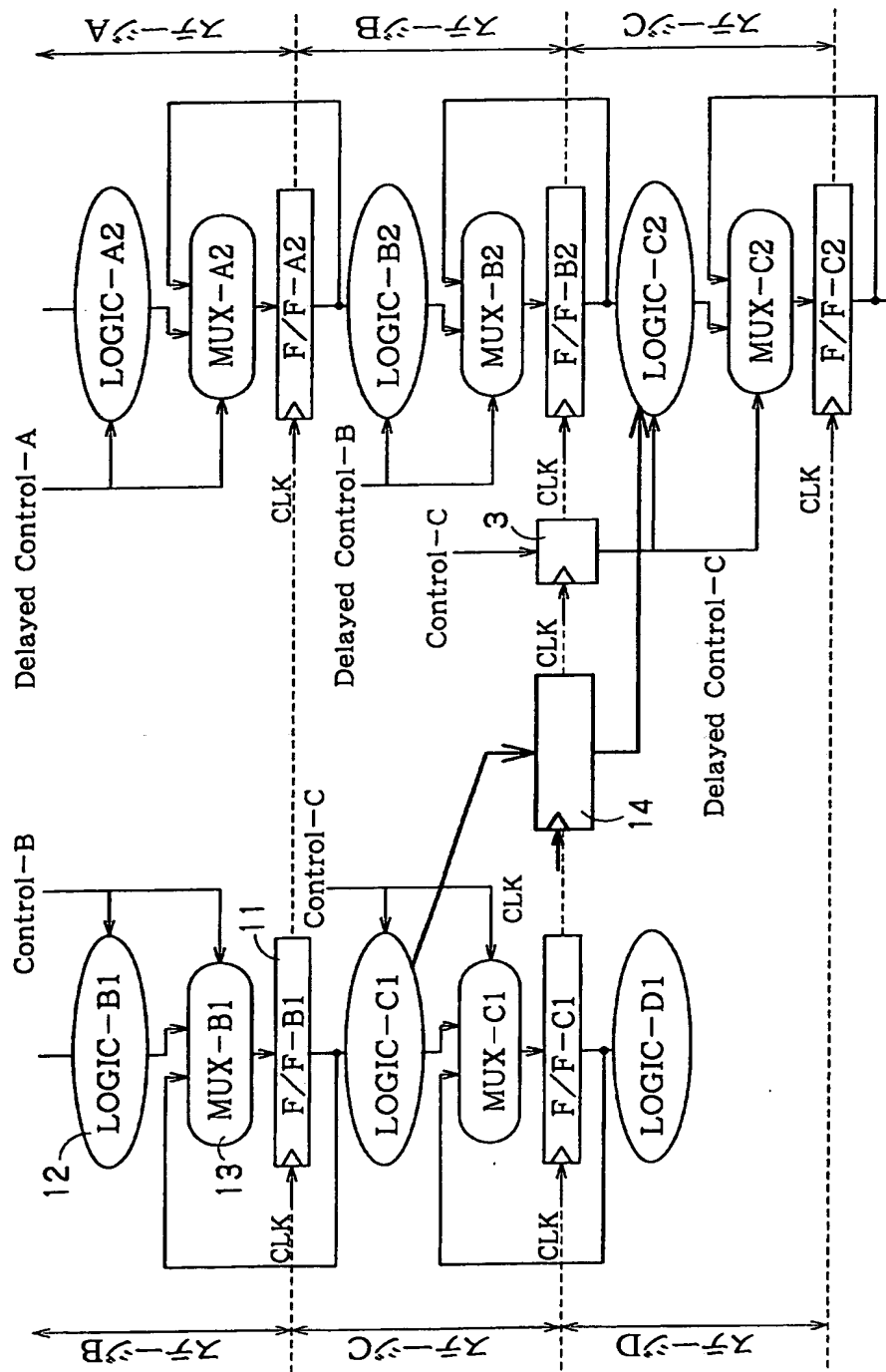
(a)



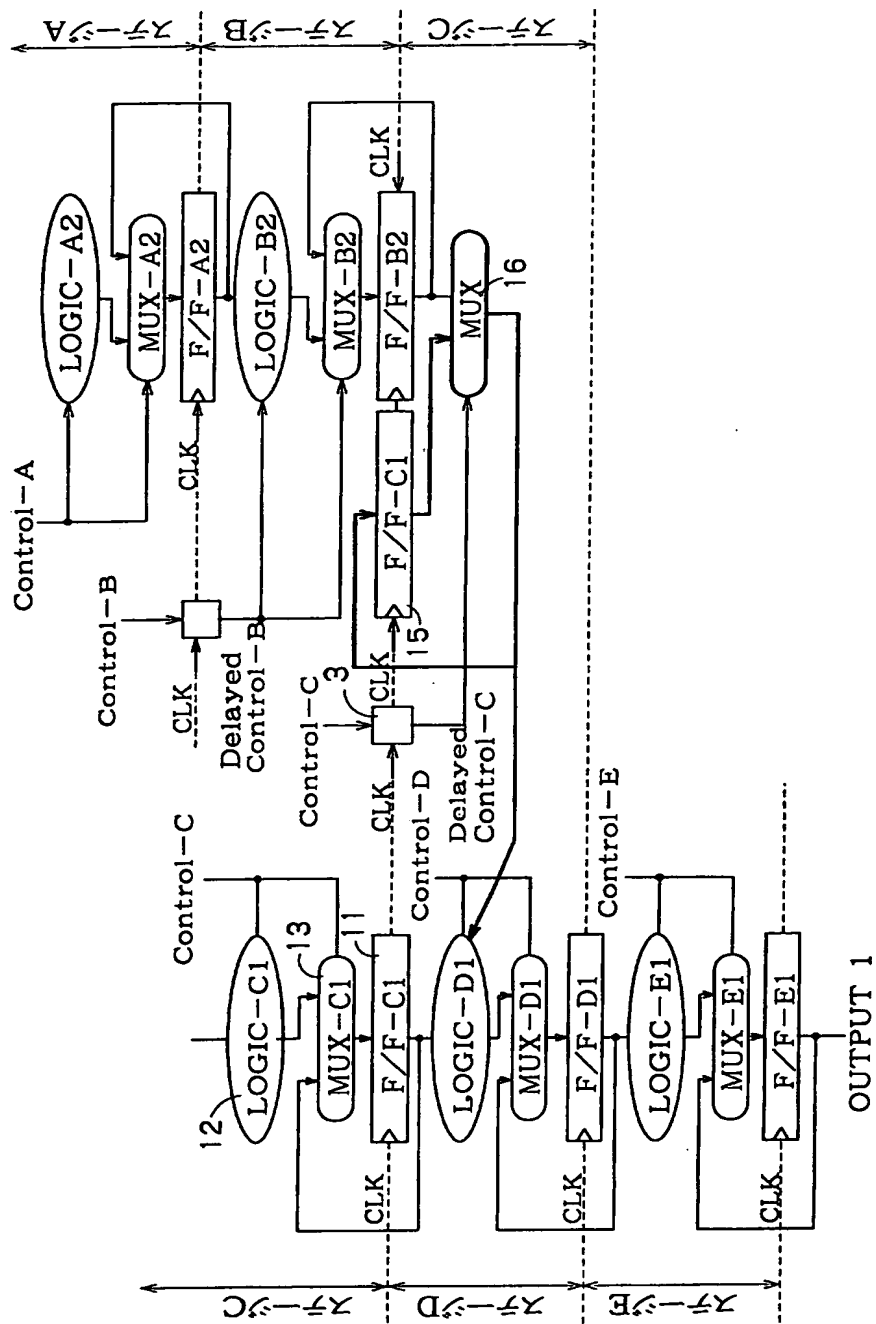
(b)



【図3】

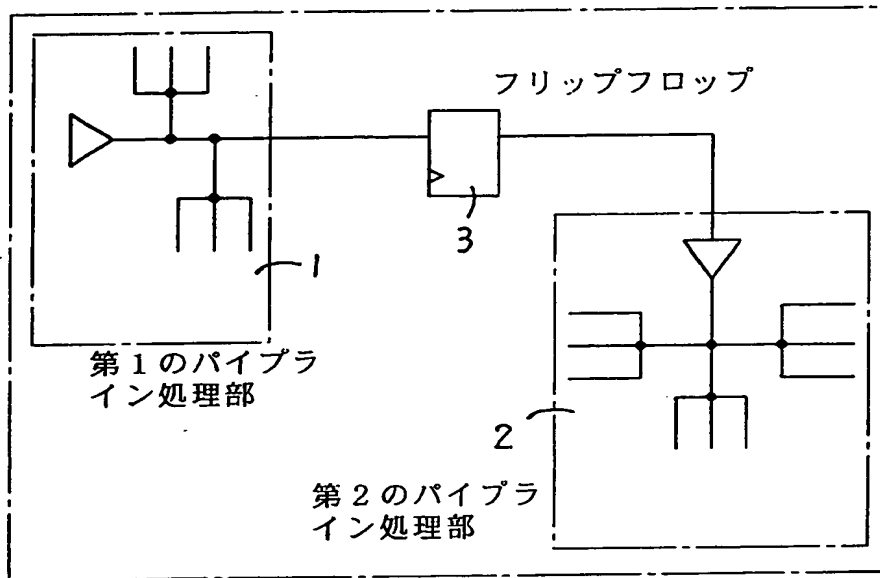


【図4】

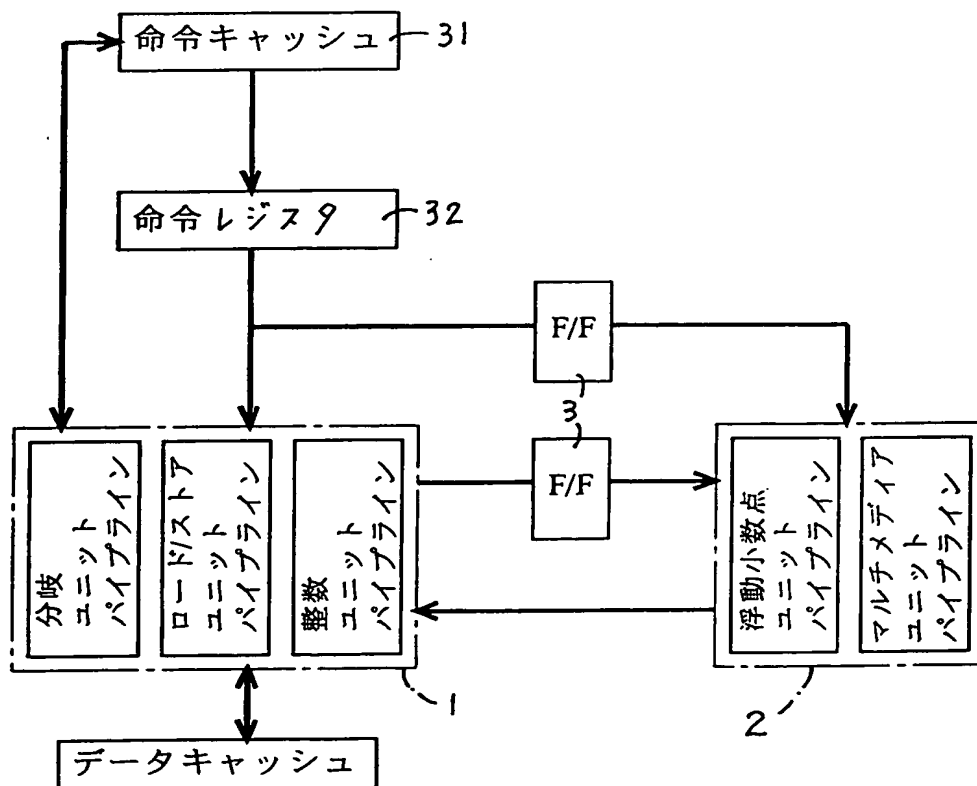




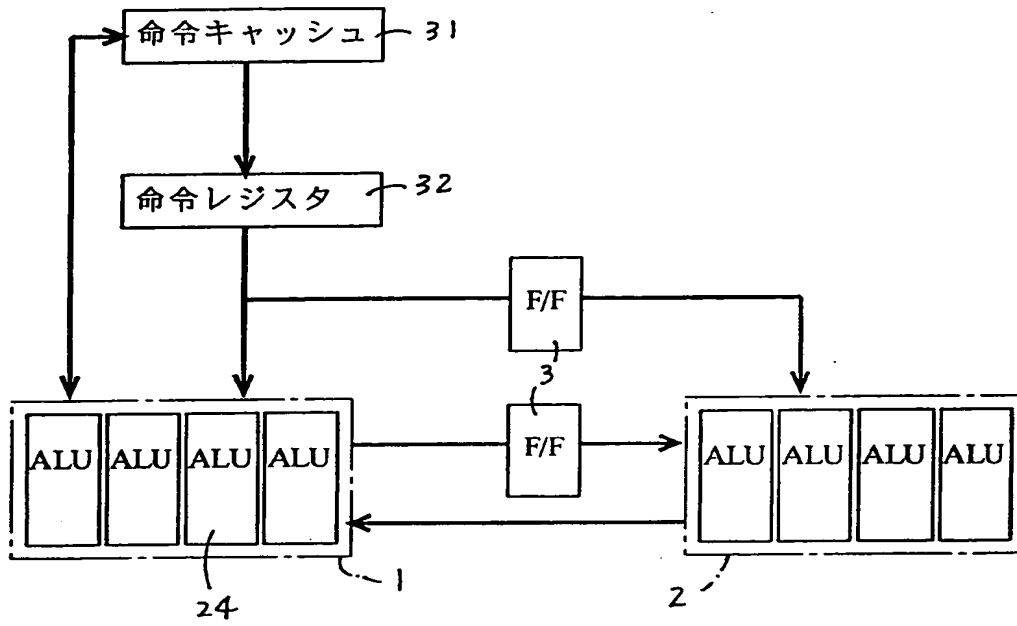
【図5】



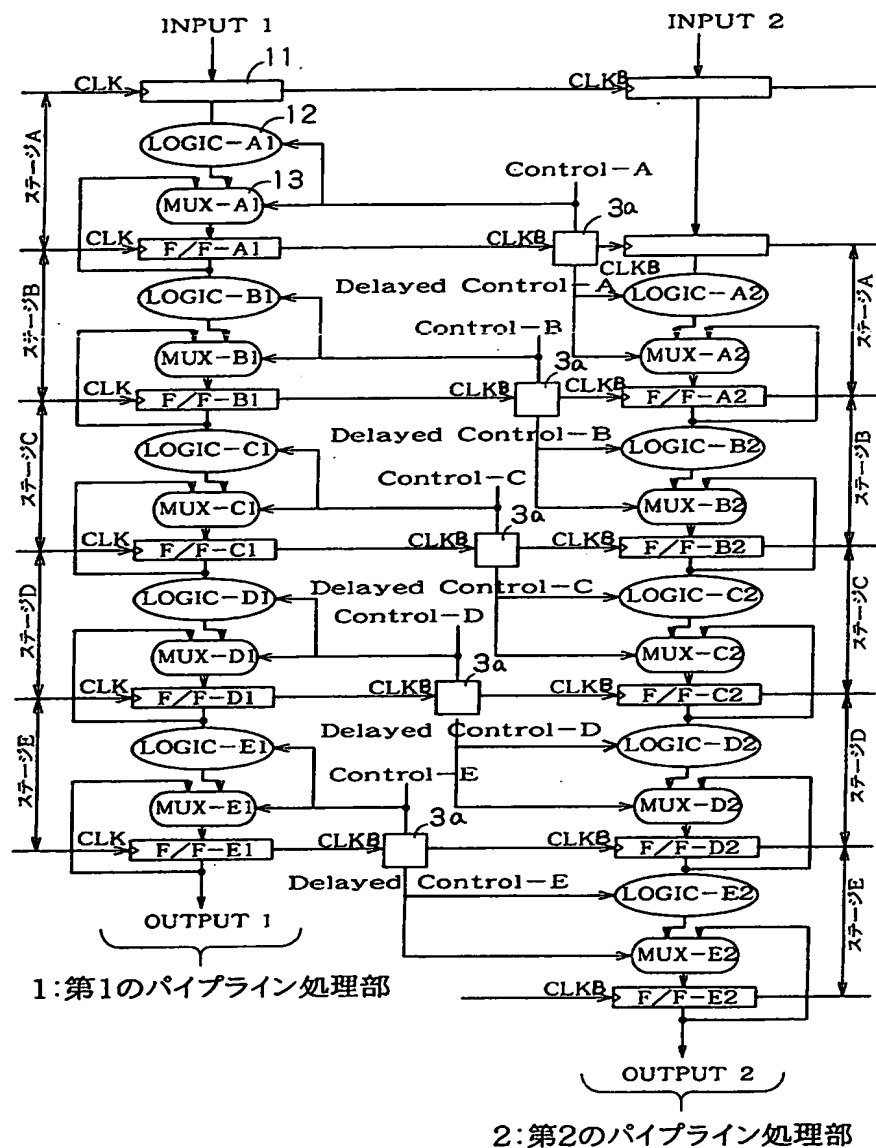
【図6】



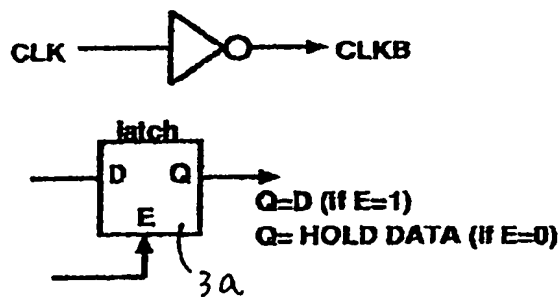
【図 7】



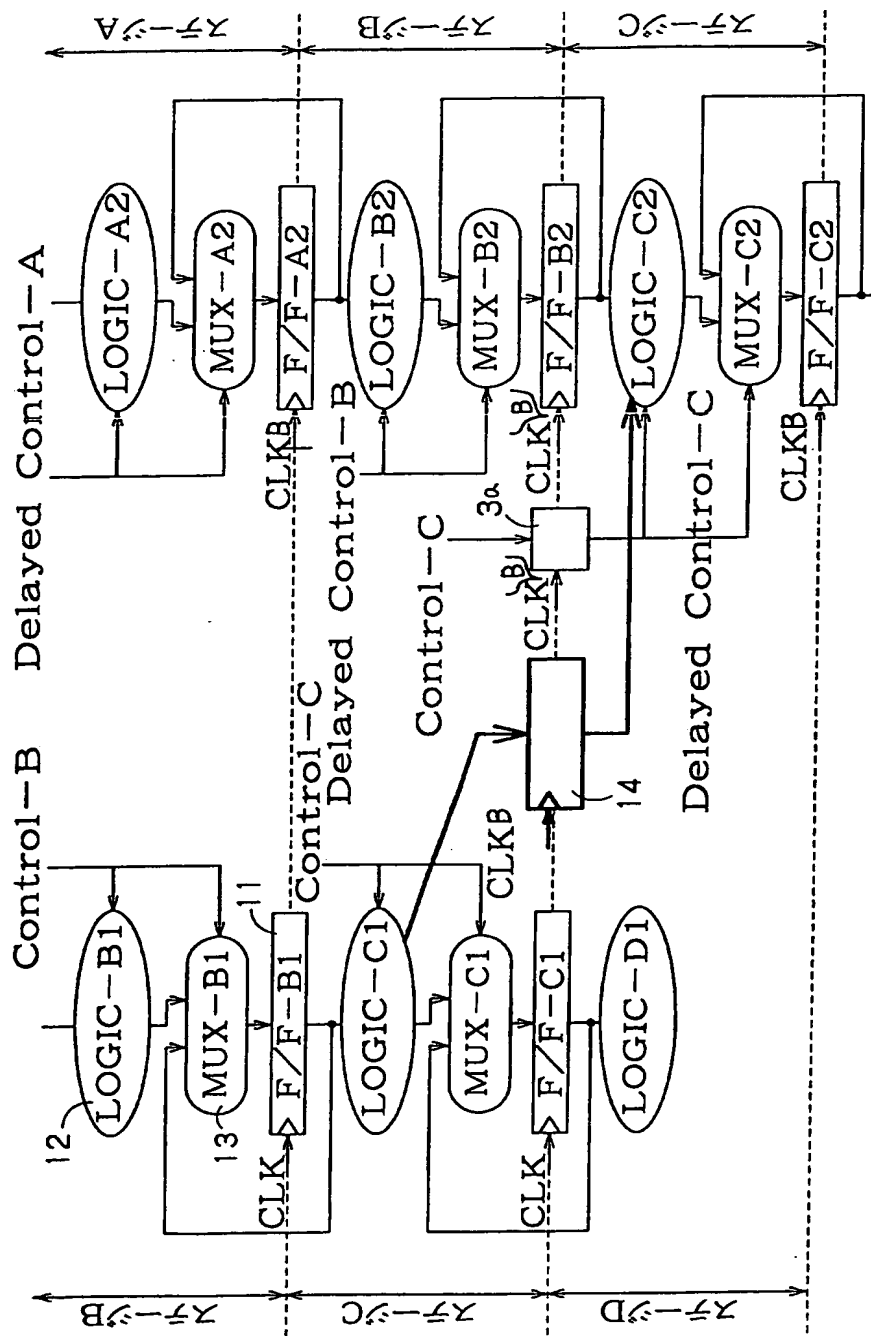
【図 8】



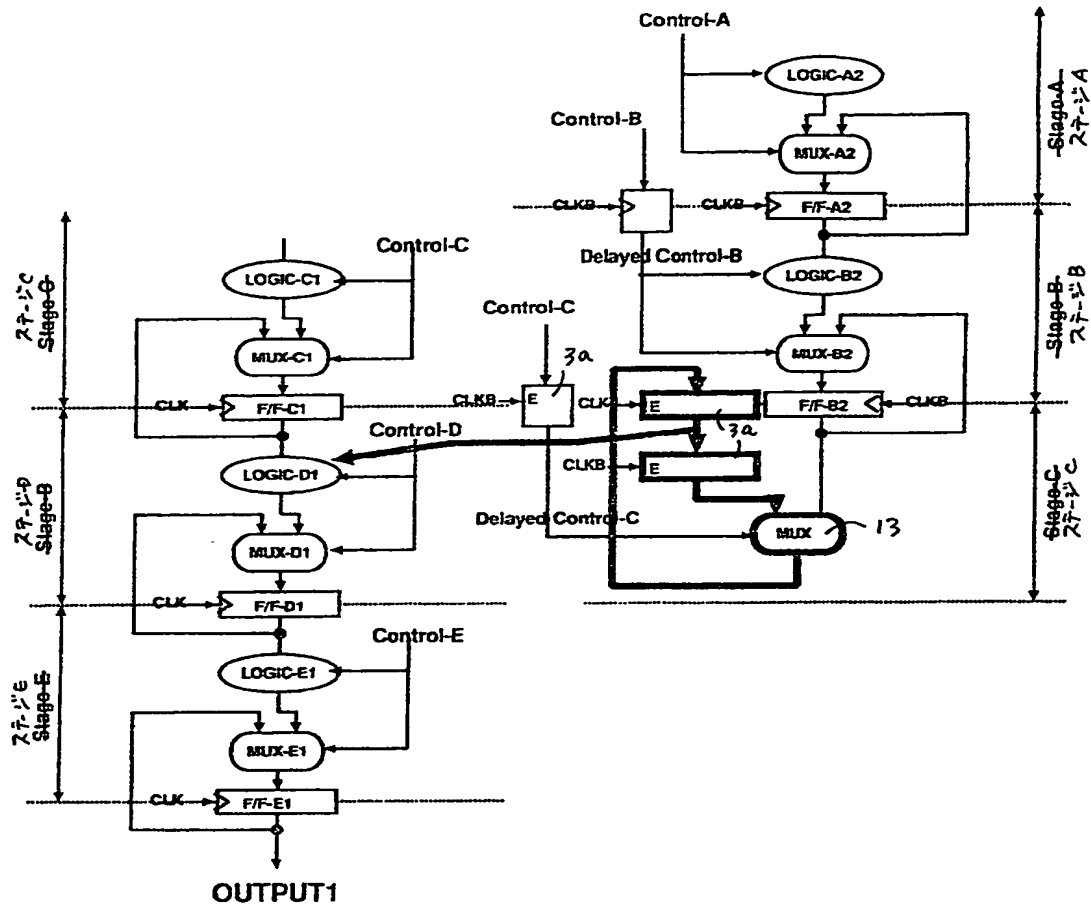
【図 9】



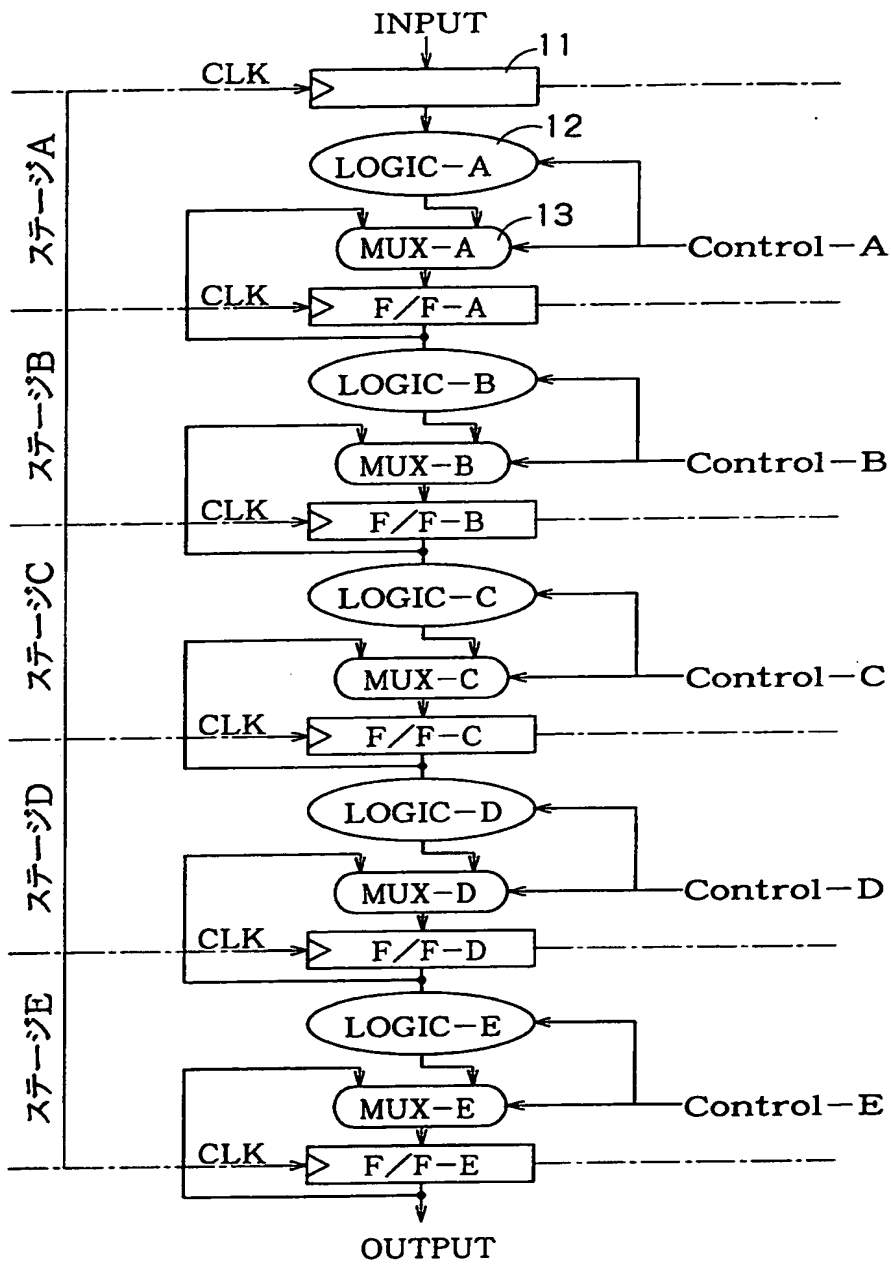
【図 10】



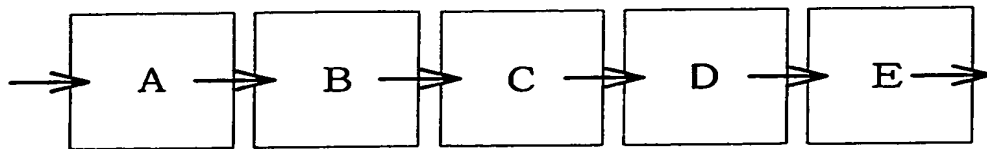
【図 11】



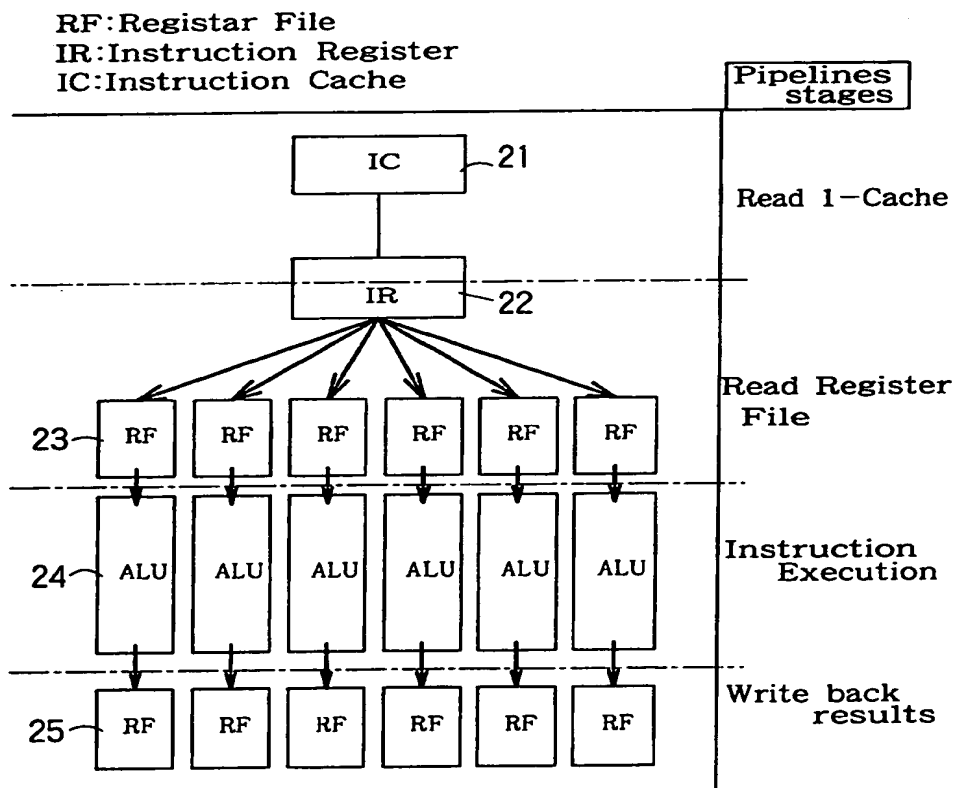
【図12】



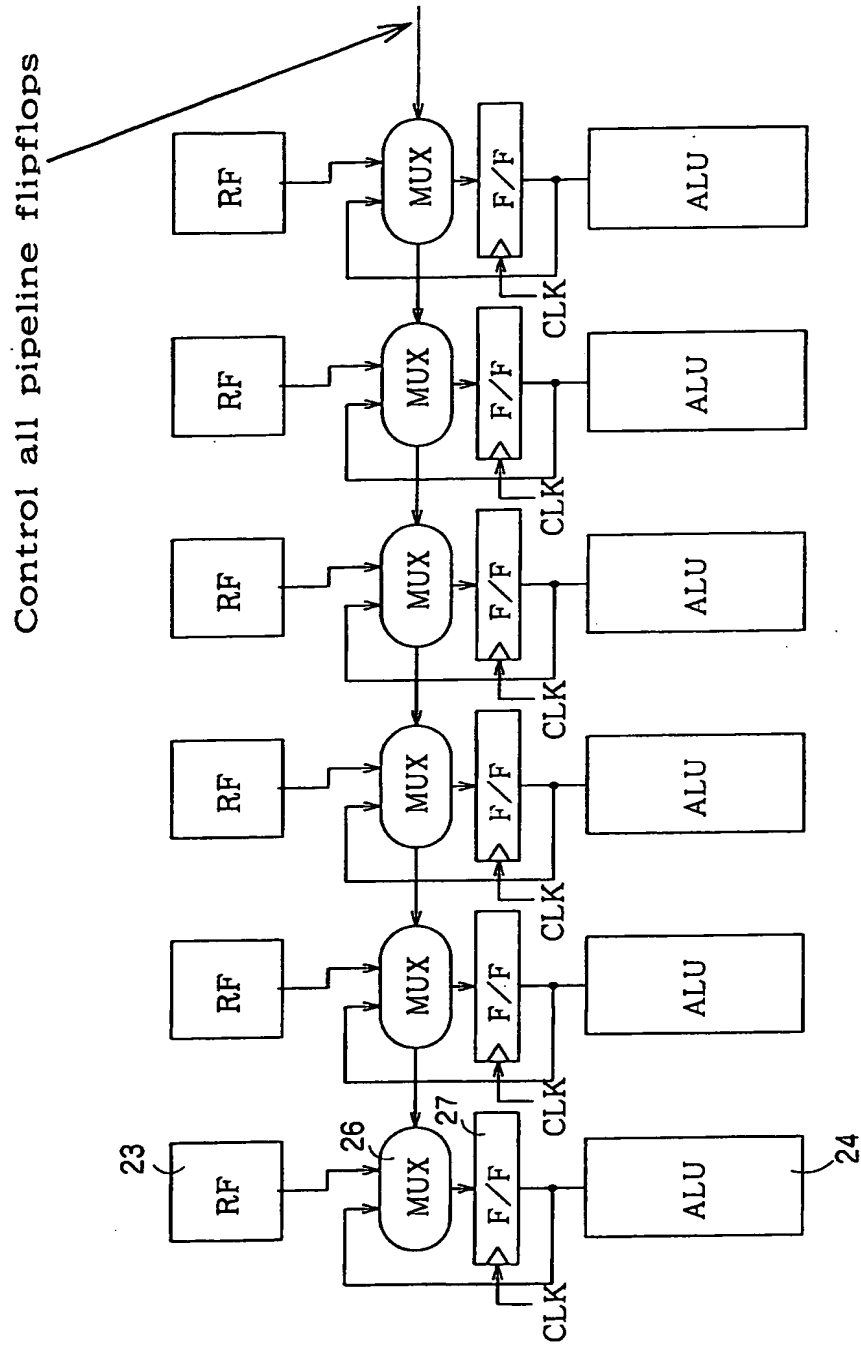
【図 1 3】



【図 1 4】



【図 15】





【書類名】 要約書

【要約】

【課題】 パイプラインを制御する制御信号のファンアウトを低減することができるデータ処理装置を提供する。

【解決手段】 データ処理装置は、5つのステージに分けて処理を実行する第1のパイプライン処理部11と、第1のパイプライン処理部11よりも1ステージ分遅れて処理を実行する第2のパイプライン処理部22と、各ステージに入力される制御信号をラッチする複数のフリップフロップ3とを備えている。第2のパイプライン処理部22は、各ステージに入力される制御信号Control-A～Eをいったんフリップフロップ3でラッチした遅延制御信号Control-A～Eに基づいて各ステージでの処理を行うため、制御信号Control-A～Eのファンアウトが小さくなり、制御信号Control-A～Eの信号遅延を低減することができる。また、制御信号Control-A～Eを伝送する制御線の配線長を従来よりも長くできる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日 1 9 9 0 年 8 月 2 2 日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町 7 2 番地

氏 名 株式会社東芝